

Rec'd PCT/PTC 17 MAR 2005

PCT/JP 03/11877

日 本 国 特 許 庁
JAPAN PATENT OFFICE

18.09.03

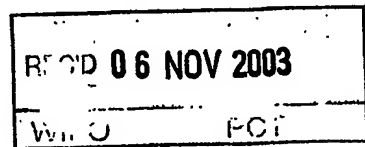
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 7 3 3 8 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 3 3 8 4]

出 願 人 シャープ株式会社
Applicant(s):

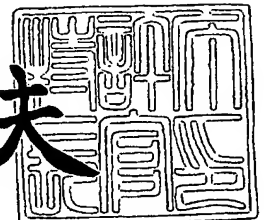


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 0 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 185434

【提出日】 平成14年 9月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00
H01L 21/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 洗 暢俊

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柿本 誠三

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【選任した代理人】

【識別番号】 100122286

【弁理士】

【氏名又は名称】 仲倉 幸典

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ機能体を備えたメモリおよびその製造方法、半導体装置および電子機器

【特許請求の範囲】

【請求項 1】 第 1 の電極と第 2 の電極との間に、絶縁体中に複数の導電性微粒子を含むメモリ機能体が挟まれ、

上記第 1 の電極と第 2 の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布しており、

上記メモリ機能体に対して、上記第 1 の電極と第 2 の電極とが対向する方向に垂直な方向から電圧を印加し得る第 3 の電極が隣接していることを特徴とするメモリ。

【請求項 2】 請求項 1 に記載のメモリにおいて、

上記絶縁体中に、上記導電性微粒子として粒径が 0.4 nm 以上 4 nm 以下のものが存在することを特徴とするメモリ。

【請求項 3】 請求項 1 に記載のメモリにおいて、

上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とするメモリ。

【請求項 4】 請求項 1 に記載のメモリにおいて、

上記第 1 の電極と第 2 の電極がそれぞれ半導体基板の表面に形成された拡散領域からなり、

上記メモリ機能体が上記半導体基板の表面のうち上記拡散領域の間の領域に形成され、

上記第 3 の電極が上記メモリ機能体上に設けられていることを特徴とするメモリ。

【請求項 5】 請求項 1 に記載のメモリにおいて、

上記第 1 の電極と第 2 の電極がそれぞれ基板上に形成された導電体からなり、
上記メモリ機能体が上記導電体の間に挟まれた領域に形成され、

上記第3の電極が上記メモリ機能体上に設けられていることを特徴とするメモリ。

【請求項6】 請求項1に記載のメモリにおいて、

上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とするメモリ。

【請求項7】 請求項1に記載のメモリを備える半導体装置。

【請求項8】 請求項7に記載の半導体装置を備える電子機器。

【請求項9】 請求項1に記載のメモリを製造するメモリの製造方法であって、

上記第1の電極、上記絶縁体および上記第2の電極が、基板の表面に沿ってこの順に並ぶように形成する工程と、

その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁体を形成する工程と、

上記メモリ絶縁体上に第3の電極を形成する工程とを含むことを特徴とするメモリの製造方法。

【請求項10】 請求項1に記載のメモリを製造するメモリの製造方法であって、

基板の表面に、上記絶縁体を形成し、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁体を形成する工程と、

上記メモリ絶縁体の上に第3の電極を形成するとともに、上記メモリ絶縁体の両側に接するようにそれぞれ第1の電極、第2の電極を形成する工程とを含むことを特徴とするメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリおよびその製造方法に関する。また、そのようなメモリを備えた半導体装置および電子機器に関する。

【0002】

【従来の技術および発明が解決しようとする課題】

近年、ナノメートルサイズの微粒子を用いて超微小な電子装置、例えば単電子トランジスタや単電子メモリ、ナノドットやナノクリスタルとよばれる微粒子をゲート絶縁膜に含むメモリが提案されている。この種のメモリは、クーロンブロッケイド現象などの量子サイズ効果を利用して低消費電力で動作することが期待されている。

【0003】

しかしながら、従来の単電子トランジスタや単電子メモリでは、まさに電子1個または数個を格納することのできるナノサイズのドットを作製し、電子数個の流れを検出するために、非常に微細な加工を要し、集積化が困難な状況にある。また、多くの場合、熱揺らぎによる誤動作を抑制するため極低温にする必要があった。このため、クーロンブロッケイド現象等を用いたメモリ素子は、実用性に乏しく、実験レベルにとどまっている。

【0004】

また、微粒子を浮遊ゲートに用いた従来のメモリ素子は、図15に示すように、P型シリコン基板2801中に形成されたソース・ドレイン領域2806の間のチャネル領域上に、熱酸化で形成した厚さ2nmの酸化膜2802と、その上に形成された粒径5nmのシリコン微粒子2803と、そのシリコン微粒子を覆うように形成された酸化膜2804と、ゲート電極となるポリシリコン層2805と、より構成されている。

【0005】

上記シリコン微粒子2803を絶縁膜中に形成する方法としては、シリコン熱酸化膜2802上にLPCVD（低圧化学的気相堆積）装置によってアモルファスシリコンを堆積した後アニール処理してシリコン微粒子2803を形成し、さらにシリコン微粒子2803の上にCVD（化学的気相堆積）法によってシリコン酸化膜2804を堆積する方法が提案されている（例えば、特許文献1参照）。

【0006】

【特許文献1】

特開 2000-22005号公報 (段落 0015、図1)

【0007】

このように微粒子を絶縁体中に形成する手法としてはCVDや蒸着、MBE (分子線エピタキシ) などを用いて基板上に結晶を作成する方法や、薄膜を形成したのちエッチングなどの微細加工技術を用いる方法が提案されている。このような方法では微粒子を形成したのち絶縁体層をその上に積層している。

【0008】

この種のメモリ素子は微粒子の面密度が不十分なことや、微粒子のおおきさの微小化が不十分なことが多く、それゆえメモリウィンドウが狭い、あるいはばらつきが大きい、あるいは保持特性が悪いといった欠点があった。

【0009】

面密度をあげるためには、CVDや蒸着、MBEなどを用いて微粒子を形成する方法では、一度の工程では一平面上にしか作成できないので、何度も同様の工程を繰り返す必要があった。

【0010】

また、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法では、微粒子の大きさと微粒子間の距離を同時にナノメートルオーダーまで縮小することは極めて困難である。

【0011】

そこで、この発明の課題は、絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリであって実用性があるものを提供することにある。

【0012】

また、この発明の課題は、そのようなメモリを生産性良く作製できるメモリの製造方法を提供することにある。

【0013】

また、この発明の課題は、そのようなメモリを備えた半導体装置および電子機器を提供することにある。

【0014】

【課題を解決するための手段】

上記課題を解決するため、この発明のメモリは、第1の電極と第2の電極との間に、絶縁体中に複数の導電性微粒子を含むメモリ機能体が挟まれている。上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、上記絶縁体中に上記導電性微粒子が分布している。そして、上記メモリ機能体に対して、上記第1の電極と第2の電極とが対向する方向に垂直な方向から電圧を印加し得る第3の電極が隣接していることを特徴とする。

【0015】

本明細書において、「導電性微粒子」とは、微粒子自体が導電性を有するものを指す。したがって、「導電性微粒子」は金属または半導体からなるものを含み、さらには、導電性を有する限り、有機物質からなるものをも含む。また、「微粒子」とは粒径が1 μ m未満の粒子を指す。

【0016】

メモリの「記憶状態」としては、例えば論理1に相当する書込状態と、論理0に相当する消去状態とが挙げられる。

【0017】

上記メモリ機能体に対して第3の電極が「隣接」とするとは、直接接する場合と、絶縁膜を介して接する場合とを含む。

【0018】

この発明のメモリでは、メモリ機能体の絶縁体中に分布した複数の導電性微粒子のお蔭で、第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化する。つまり、第1の電極と第2の電極との間に所定の電圧（書込用または消去用）を印加して上記メモリ機能体を通して電流を流すことによって、或る導電性微粒子に1個乃至数個の電荷が蓄積され、その蓄積された電荷が電流経路中の電子に対してクーロン相互作用を及ぼす。したがって、導電性微粒子に蓄積された電荷の有無や多寡に応じて、上記メモリ機能体を通して流れる電流の大小が

変化する。そして、第1の電極と第2の電極との間に所定の電圧（読出用）を印加したとき、上記メモリ機能体を通して流れる電流の大小に応じて記憶状態が判別される。このメモリでは、上記メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、このメモリは実用性がある。

【0019】

しかも、本発明者が実験したところ、第3の電極によって、上記メモリ機能体に対して、上記第1の電極と第2の電極とが対向する方向に垂直な方向から電圧を印加すれば、上記メモリ機能体を通して流れる電流の大小がさらに大きく変化することが分かった。つまり、メモリウインドウ（ヒステリシス）の幅が増大して、メモリ機能が向上する。したがって、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。

【0020】

一実施形態のメモリは、上記絶縁体中に、上記導電性微粒子として粒径が0.4 nm以上4 nm以下のものが存在することを特徴とする。

【0021】

この一実施形態のメモリでは、上記絶縁体中に、上記導電性微粒子として粒径が0.4 nm以上4 nm以下のものが存在するので、上記メモリ機能体を通して流れる電流の大小を大きく変化させることができる。なお、導電性微粒子の粒径が大きすぎても小さすぎてもメモリ機能が低下する（詳しくは、後述する。）。

【0022】

一実施形態のメモリは、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在することを特徴とする。

【0023】

「絶縁体の厚さ方向」とは、層状に形成された絶縁体の、層が延びる方向（層方向）に対して垂直な方向を指す。

【0024】

この一実施形態のメモリでは、上記導電性微粒子のサイズは一樣ではなく、上

記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する。この場合、上記メモリ機能体を通して、電流の流れ易さが過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリの特性が安定する。

【0025】

一実施形態のメモリは、上記第1の電極と第2の電極がそれぞれ半導体基板の表面に形成された拡散領域からなる。上記メモリ機能体が上記半導体基板の表面のうち上記拡散領域の間の領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

【0026】

この一実施形態メモリは、上記メモリ機能体をMOS型トランジスタのチャネル部分に組み込んだのに略等しい構造を持つ。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。

【0027】

一実施形態のメモリは、上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなる。上記メモリ機能体が上記導電体の間に挟まれた領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

【0028】

この一実施形態メモリは、上記メモリ機能体を、ソース・ドレイン・チャネルが欠如した積み上げ拡散層付MOS型トランジスタの絶縁膜部分に組み込んだのに略等しい構造を持つ。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。また、ガラス基板上に形成することも可能である。

【0029】

なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。また、コンパクトで低電圧動作可能なランダムアクセ

メモリを実現することができる。

【0030】

一実施形態のメモリは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とする。

【0031】

この一実施形態のメモリでは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0032】

この発明の半導体装置は、上述のメモリを備える。

【0033】

この発明の半導体装置では、占有面積の縮小が可能なメモリセルを用いているため、従来に比してメモリ回路の占有面積を縮小することができ、小型に構成される。上述のメモリは比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

【0034】

この発明の電子機器は、上述の半導体装置を備える。

【0035】

この発明の電子機器では、上述の半導体装置が小型に構成される結果、この機器を小型することが可能である。また、上述の半導体装置が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

【0036】

また、この発明のメモリの製造方法は、上述のメモリを製造するメモリの製造方法であって、上記第1の電極、上記絶縁体および上記第2の電極が、基板の表面に沿ってこの順に並ぶように形成する工程と、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁体を形成する工程と、上記メモリ絶縁体上に第3の電極を形成する工程とを含むことを

特徴とする。

【0037】

または、この発明のメモリの製造方法は、上述のメモリを製造するメモリの製造方法であって、基板の表面に、上記絶縁体を形成し、その絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入して上記メモリ絶縁体を形成する工程と、上記メモリ絶縁体の上に第3の電極を形成するとともに、上記メモリ絶縁体の両側に接するようにそれぞれ第1の電極、第2の電極を形成する工程とを含むことを特徴とする。

【0038】

この発明のメモリの製造方法によれば、作製されたメモリについて、上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小がクーロンブロッケイド効果によって変化するように、一度のイオン注入によって上記絶縁体中に導電性微粒子を所定の密度（高密度）に形成するとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。したがって、メモリを生産性良く作製できる。

【0039】

なお、絶縁体中に導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、これらの方法では、絶縁体中に導電性微粒子をクーロンブロッケイド効果が発現するような所定の密度（高密度）に形成することが困難である。また、導電性微粒子を一度の処理で一平面上にしか形成できないため、クーロンブロッケイド効果が発現するように上記絶縁体の厚さ方向に導電性微粒子を分布させるためには、何度も処理を繰り返す必要があり、生産性が良くない。これに対して、イオン注入によれば、絶縁体中に導電性微粒子を一度の処理で短時間に高密度に形成できるとともに、上記絶縁体の厚さ方向に導電性微粒子を分布させることができる。しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる

【0040】

また、このようにイオン注入によって上記絶縁体中に導電性微粒子を形成すれば、作製されたメモリのメモリ機能体は、上記絶縁体の厚さ方向に、上記導電性微粒子を構成する元素の濃度が高い領域に連なって上記元素の濃度が低い領域が存在する状態になる。また、上記絶縁体の厚さ方向に、上記導電性微粒子の密度が高い領域に連なって上記導電性微粒子の密度が低い領域が存在する状態になる。さらに、上記絶縁体の厚さ方向に、上記導電性微粒子のサイズが大きい領域に連なって上記導電性微粒子のサイズが小さい領域が存在する状態になる。このような状態になれば、既述のように、メモリの特性が安定する。

【0041】

また、上記絶縁体中に導電性微粒子を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記絶縁体が破壊して欠陥が生じるのを抑制できる。これらの結果、作製されたメモリの信頼性が向上する。

【0042】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

【0043】

図1(b)は本発明の基礎となるメモリ100の概略断面構造を示している。このメモリ100は、第1の電極111と第2の電極112との間に挟まれた層状の絶縁体101中に、上記第1、第2の電極111, 112間の電気抵抗がクーロンブロッケイド効果によって変化するように設けられたナノメートルサイズの複数の導電性微粒子102を含んでいる。この微粒子102を含んだ層状のシリコン酸化膜101をメモリ機能体113と呼ぶ。

【0044】

このメモリ100は次のようにして作製されている。

【0045】

この例では、半導体産業で用いられている既存の装置を用いて作製できるように、絶縁体101の材料としてシリコン酸化膜、導電性微粒子102の材料として銀を用いるものとする。

【0046】

① まず図3(a)に示すように、シリコン基板300の表面に熱酸化工程により絶縁体としてシリコン酸化膜101を形成する。この例では、形成されたシリコン酸化膜101の膜厚は約50nmであった。なお、シリコン基板300は第2の電極112として用いられる。

【0047】

② 次に図3(b)に示すように、シリコン酸化膜101中に銀303を負イオン注入法により導入する。

【0048】

ここで、注入エネルギーは、あまりに高すぎると、注入される銀の分布が広がりすぎて薄膜101への注入に相応しくなく、また膜101へダメージを与えて欠陥を生じてしまう。このため、注入エネルギーは、100keV未満、より好ましくは50keV未満に設定するのが好ましい。

【0049】

また、注入ドーズ量は、あまりに多いと、微粒子の粒径が大きくなりすぎ、また膜101へのダメージも多くなる一方、少なすぎると微粒子密度が小さくなりすぎてしまう。このため、注入ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ より多く、かつ $1 \times 10^{20} / \text{cm}^2$ より少なく設定するのが好ましく、例えば $1 \times 10^{13} / \text{cm}^2$ より多く、かつ $1 \times 10^{17} / \text{cm}^2$ より少なく設定するのが、より好ましい。

【0050】

この例では、注入エネルギーは約30keV、ドーズ量は約 $1 \times 10^{15} / \text{cm}^2$ に設定した。

【0051】

また、上述のように、この例では、イオン注入法として負イオン注入法を採用している。負イオンを用いて注入した場合、正イオンの場合のように注入を受け

る材料（この例ではシリコン酸化膜101）の表面電位が正イオンの加速電圧近くまで上昇することなく、数ボルト程度の非常に低い値に収まる。すなわち、正イオン注入の場合は、正の電荷のイオンが材料表面に入射し、負の電荷の二次電子が放出されるため材料表面は正に帯電する一方であり、最終的に正イオンの加速電圧まで上昇する。これに対して、負イオン注入の場合は、負の電荷のイオンが入射し負の電荷の二次電子が放出し、表面電位は±数ボルト程度に収まる。したがって、正イオン注入に比べ実効的な加速電圧の変動が少なくなるため、注入深さのばらつきを抑制することが可能となる。また、注入を受けるシリコン酸化膜101やそれを支持する基板300が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。

【0052】

③ 次に、熱処理を行って、注入元素（この例では銀）を凝集または拡散させる。これにより、図3（c）に示すように、シリコン酸化膜101中に銀からなる所定の粒径の微粒子102をクーロンブロッケイド効果が発現するような所定の密度に形成するとともに、シリコン酸化膜101の厚さ方向V1、V2に微粒子102を分布させる。また、イオン注入時に発生した欠陥を修復する。

【0053】

この熱処理の温度は、低すぎると効果がないが、あまりに高温であると注入元素が拡散、熔融するため、微粒子を形成できない。したがって、熱処理の温度は、200℃より高く、かつ注入元素の融点未満に設定するのが好ましい。また、熱処理の時間は、一定温度であっても長くすればその温度での効果は増大するが、あまりに長いと、粒径が過度に大きくなる場合や、注入元素が微粒子を形成すべき領域外まで拡散する場合がある。このため、熱処理時間は、24時間より短く設定するのが好ましい。

【0054】

例えば通常の熱処理炉を用いる場合は、アルゴンや窒素等の不活性雰囲気中で、熱処理の温度を300℃～900℃の範囲内に設定するのが好ましい。この例では、アサヒ理化製作所製のセラミクス電气管状炉を用い、アルゴン雰囲気中で、約700℃の温度で約1時間の熱処理を行った。

【0055】

④ この後、この微粒子102を含んだシリコン酸化膜101上に、第1の電極111を形成する。

【0056】

この第1の電極111の材料は、金属または半導体、さらには、導電性を有する限り、有機物質であっても良い。第1の電極111を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などを採用できる。

【0057】

この例では、蒸着によって、第1の電極111としてA1膜を形成した。

【0058】

このようにして作製したメモリ100の、微粒子102を含んだ層状のシリコン酸化膜101、つまりメモリ機能体113を断面TEM観察によって調べた。その結果、図1（a）に示すように、イオン注入された銀が凝集して、粒径が約3nm程度以下のナノメートルサイズの微粒子102となっていることが分かった。また、設定した注入エネルギー（銀イオンの加速エネルギー）から予想される深さを中心として、シリコン酸化膜101の厚さ方向V1、V2に微粒子102を分布させることができた。なお、厚さ方向V1、V2に関する微粒子102の分布については、後に詳述する。

【0059】

このようにイオン注入によれば、絶縁体101中に導電性微粒子102を一度の処理で短時間に高密度に形成できるとともに、絶縁体101の厚さ方向V1、V2に導電性微粒子102を分布させることができる。しかも、イオン注入によれば、導電性微粒子102を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

【0060】

また、この例では、絶縁体101中に導電性微粒子102を形成するための物質を負イオン注入法により注入しているので、注入時に上記絶縁体101やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に

制御でき、注入ばらつきを抑制できる。また、帯電が抑制されるので、帯電によって絶縁体 101 が破壊して欠陥が生じるのを抑制できる。これらの結果、メモリ 100 の信頼性を向上させることができる。

【0061】

図 2 は、上述の方法で作製したメモリ 100 の常温（25℃）における電流対電圧（I-V）特性のグラフを示している。

【0062】

この特性は、第 2 の電極 112（シリコン基板 300）を接地し、第 1 の電極 111 に電圧を印加して、第 1 の電極 111 に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図 2 中に矢印 S1 で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図 2 中に矢印 S2 で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が増加した。図 2 から分かるように、この電流対電圧（I-V）特性にはヒステリシスも現れている。この理由を、図 1（c）を用いて次に詳しく考察する。

【0063】

図 1（c）は、図 1（b）に示したメモリ機能体 113 のうち、4 個の導電性微粒子 102 を含む単位領域 114 を拡大して模式的に表している。この単位領域 114 には、4 個の導電性微粒子 102 が互いに隣り合い、かつ互いに離間した状態で含まれている。4 個の導電性微粒子 102 のうち第 1 の微粒子 121 が第 1 の電極 111 に対して最も近くに位置し、第 2 の微粒子 122 が第 2 の電極 112 に対して最も近くに位置する。残りの第 3 の微粒子 123、第 4 の微粒子 124 は、第 1 の電極 111 と第 2 の電極 112 とが対向する方向（図において上下方向であり、絶縁体 101 の厚さ方向に相当する。）に関して、それぞれ第 1 の微粒子 121 と第 2 の微粒子 122 との間に位置している。

【0064】

ここで、第 1 の微粒子 121 と第 3 の微粒子 123 との間隔を d_{13} 、第 2 の微粒子 122 と第 3 の微粒子 123 との間隔を d_{23} 、第 1 の微粒子 121 と第

4の微粒子124との間隔を d_{14} 、第2の微粒子122と第4の微粒子124との間隔を d_{24} とする。このとき、 $d_{13} < d_{14}$ かつ $d_{23} < d_{24}$ なる関係が満たされている。また、第3の微粒子123と第4の微粒子124との間隔を d_{34} としたとき、 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ なる関係が満たされている。

【0065】

第1の電極111と第2の電極112との間に十分な電位差を与えた場合、この単位領域114では、電流は主に、ほぼ直線上に配置された第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した経路を流れる。ここで、第4の微粒子124に1個乃至数個の電荷が蓄積され、その蓄積された電荷によって、第1の微粒子121と第3の微粒子123と第2の微粒子122とを介した電流経路中の電子に対してクーロン相互作用が及ぼされる。

【0066】

しかも、第4の微粒子124は、第1、第2の微粒子122に比して第3の微粒子123に近い位置、つまり主な電流経路から少しだけ横方向に離れた比較的近い位置に存在する。したがって、第4の微粒子124に電荷を出し入れし易くなる。また、第4の微粒子124が第3の微粒子123に近い位置に存在するので、第4の微粒子124に蓄積される電荷の有無や多寡によって第3の微粒子123のポテンシャルを変化させ易い。したがって、単位領域114における電流の流れ易さ、つまり電気抵抗を容易に階段状に変化させることができる。

【0067】

このような単位領域114が絶縁体101中に複数存在する結果、マクロなレベルで第1、第2の電極111、112間の電気抵抗が階段状に変化したと思われる。また、図2の電流対電圧($I-V$)特性で、電圧を低くするとき(S1)と高くするとき(S2)との間で各単位領域114で第3の微粒子123のポテンシャルが変化した結果、ヒステリシスが現れたと思われる。

【0068】

なお、第3の微粒子123と第4の微粒子124との間隔 d_{34} が大きすぎると、電流経路に与えるクーロン相互作用は極めて弱いものとなり、実質的に無視

できる程度となる。 $d_{13} > d_{34}$ かつ $d_{23} > d_{34}$ の場合、微粒子124に捕獲された電子による電流経路になっている微粒子への影響は大きいと推定され、ヒステリシスの増大が見込まれる。

【0069】

また、ヒステリシスの発生原因は、微粒子群の中で極微小な粒径の微粒子が電流の影響により拡散消滅、または凝集大型化した結果、クーロンエネルギーが変動したためとも考えられる。その他、ジュール熱による熱エネルギーにより、微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

【0070】

このメモリ100は、ヒステリシス効果を利用して、電流の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。また、抵抗が変化するので、抵抗変化素子または可変抵抗素子として用いることもできる。また、本発明のメモリは、電子の捕獲をするため電荷保持機能体と言い換えることもできる。

【0071】

なお、本メモリ100の第1、第2の電極111、112間に過剰な電圧を印加した場合、電流値が著しく増大した。これは絶縁体101中に含まれる微粒子102が変化したため、あるいは微粒子102、102間の絶縁体101が絶縁破壊をおこしたためと思われる。ただし、微粒子102、102間の絶縁体101はトンネル障壁であるので絶縁破壊をおこしにくいことから、ジュール熱により微粒子102が拡散または凝集したか、電流によるマイグレーションため微粒子102の状態が変化した可能性が高いと思われる。

【0072】

また、通常の絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧を必要とする。これに対して、メモリ機能体113を利用する本メモリ100では、微粒子102、102間の実質的な絶縁膜厚は薄く、また微粒子102、102間はトンネル可能な絶縁膜厚が大部分であるから、従来のヒューズメモリに比べて低電圧で書き込み動作が可能になる。したがって、本メモリ100は、低電圧で利用できるヒューズメモリとして用いる

ことも可能である。

【0073】

この例では、作製した微粒子102の粒径は、TEM観察の範囲においてほぼ3 nm以下であった。なお、同様の方法を用いて微粒子の粒径がほぼ6 nm以下、ほぼ10 nm以下の試料も作製した。そのような試料のI-V特性を測定したところ、微粒子の粒径が大きくなるにつれて、I-V特性のグラフにおける階段形状やヒステリシスは小さくなり、室温よりも低温であっても、不明瞭になる傾向が観測された。したがって、ヒステリシスを得るために要求される微粒子102の粒径は11 nm以下、好ましくは7 nm以下、より望ましくは4 nm以下であることがわかった。

【0074】

一方、熱処理温度を上げることによって微粒子102の粒径をさらに縮小し、TEM観察の範囲においてほぼ1 nmに満たない粒径で、0.4 nm未満の微粒子が多数を占めるような試料も作製した。そのような試料のI-V特性を測定したところ、I-V特性グラフにおける階段形状やヒステリシスは室温では明確には観測できなくなった。この理由は、銀イオンが絶縁膜全体に拡散したことによって、絶縁膜101の電気的な絶縁性が低下したためだと推測される。このときのイオン注入濃度は $1 \times 10^{15} \text{ ions/cm}^2$ であり、絶縁膜101の膜厚は約50 nmであった。したがって体積濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ となる。

【0075】

この結果、微粒子102の粒径が0.4 nm以上であることが好ましく、1 nm程度がより好ましい。さらに微粒子が存在しない、または粒径が0.4 nm未満の個所での濃度は約 $2 \times 10^{20} \text{ ions/cm}^3$ 以下であることが好ましいことがわかった。

【0076】

なお、クーロンブロッケード効果が顕著になるには、微粒子102の容量を考えた場合、電荷を離脱させるために必要なエネルギーが周囲温度による熱エネルギーと比較して十分大きくなければならない。そのためには微粒子102を完全導体

球と仮定したとき微粒子 102 の半径は 0.5 nm ~ 1 nm 程度であろうと推定される。なお、微粒子 102 の粒径が小さくなるにつれてクーロンプロセード効果自体は顕著になるが、微粒子 102 の粒径が小さすぎると第 1、第 2 の電極 111, 112 間に高電圧が必要となるため、デバイス応用の観点からは好ましくない。

【0077】

また、シリコン酸化膜 101 中に導電性微粒子 102 を形成するために負イオン注入を行っているので、作製後のシリコン酸化膜 101 は単一熱酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVD などに比して、処理時間が短くなり、生産性に優れる。

【0078】

また、負イオン注入によれば、既述のように帯電による微粒子のばらつきを抑えられるので、シリコン酸化膜 101 の厚さ方向に関して微粒子 102 の分布がばらつくのを抑制できる。したがって、メモリ機能体 113 を薄膜化することができ、微細化が可能になる。そのようにメモリ機能体 113 を薄膜化した場合、第 1、第 2 の電極 111, 112 間に同じ電圧を加えてもメモリ機能体 113 に印加される実効電場が強くなる。したがって、メモリ 100 を動作させるための電圧を低電圧化することが可能となり、生産性および低消費電力性に優れる。

【0079】

図 1 (a) に模式的に示したように、シリコン酸化膜 101 中の微粒子 102 を構成する銀元素の濃度は一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 を構成する銀元素の濃度が高い領域に連なって銀元素の濃度が低い領域がそれぞれ存在する。同様に、シリコン酸化膜 101 中の微粒子 102 の密度は一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 の密度が高い領域に連なって微粒子 102 の密度が低い領域が存在する。同様に、シリコン酸化膜 101 中の微粒子 102 のサイズは一様ではなく、シリコン酸化膜 101 の厚さ方向 V1, V2 に、微粒子 102 のサイズが大きい領域に連なって微粒子 102 のサイズが小さい領域が存在する。これらの場合、シリコン酸化膜 101 の厚さ方向 V1, V2、つまり第 1 の電極 111 と第 2

の電極 112 とが対向する方向に関して、電流が過度に流れにくかったり、過度に流れ易くなったりすることを抑制することができる。したがって、メモリ 100 の特性が安定する。

【0080】

また、負イオン注入の際に斜め注入を行えば、シリコン酸化膜 101 の厚さ方向に関して微粒子 102 の分布の広がり抑制することができる。したがって、メモリ機能体 113 を薄膜化することができ、微細化に適する。

【0081】

図 4 は上記メモリ 100 の第 1 の電極として A1 膜を蒸着しパターン化してなる電極 411 を備えた態様を示し（この電極 411 には図示しない電源および電流センサが接続されている。）、図 5 はこの電極 411 を備えたメモリ 100 の常温（25℃）における電流対電圧（I-V）特性のグラフを示している。このグラフを用いて、上記メモリ 100 の記憶状態を判別する動作を説明する。

【0082】

この特性は、図 2 におけるのと同様に、シリコン基板 300 を接地し、第 1 の電極 411 に電圧を印加して、第 1 の電極 411 に流れる電流を観測したものである。まず電圧を高い方から低い方へ連続的に変化させると、図 5 中に矢印 S1 で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が減少した。続いて、折り返し、電圧を高い方へ連続的に変化させると、図 5 中に矢印 S2 で示すように、クーロンブロッケイド効果特有の階段状の変化を示しながら、電流が増加した。図 5 から分かるように、この電流対電圧（I-V）特性にはヒステリシスも現れている。

【0083】

ここで、例えば図 5 中に示すように書込電圧を V_w 、消去電圧を V_e とする。そして、メモリウィンドウ（ヒステリシス）の中央になるように書込状態と消去状態とを判別するための読出電圧を V_r 、判別基準となる電流値を I_j に設定する。電圧 V_r を印加したときの電流の大きさを読み取り、その電流の読取值と I_j との大小関係で記憶状態を判別する。例えばその電流の読取值が I_j よりも大きければ消去状態（論理 0）、その電流の読取值が I_j よりも小さければ書込状

態（論理 1）と判別する。

【0084】

このように、このメモリ 100 は 2 値メモリとして用いることが可能である。

【0085】

図 6（a）は、第 1 の電極 601 と第 2 の電極 602 の間に設けられた上述のメモリ機能体 113 に対して、第 1 の電極 601 と第 2 の電極 602 とが対向する方向 V1、V2 に垂直な方向（これを「層方向」と呼ぶ。）H1 から第 3 の電極 603 が隣接している例を示している。第 1 の電極 601 と第 2 の電極 602 はメモリ機能体 113（シリコン酸化膜 101）を厚さ方向 V1、V2 に挟んでいる。これに対して、図 6（b）の例では、メモリ機能体 113 に対する電極の配置が異なり、第 1 の電極 611 と第 2 の電極 612 とが上述のメモリ機能体 113 を層方向 H1、H2 から挟み、メモリ機能体 113 に対して厚さ方向 V1 から第 3 の電極 613 が隣接している。

【0086】

図 6（a）の例では、第 2 の電極 602 を接地し、第 1 の電極 601 に電圧を印加して、それらの電極 601、602 間に流れる電流を観測した。また、図 6（b）の例では、第 2 の電極 612 を接地し、第 1 の電極 611 に電圧を印加して、それらの電極 611、612 間に流れる電流を観測した。いずれの場合も、観測は、第 3 の電極 603 を接地した場合と、第 3 の電極 603 に電圧を印加した場合との両方で行った。

【0087】

第 3 の電極 603、613 を接地した条件下では、図 6（a）の例と図 6（b）の例とでは、電流対電圧（I-V）特性に違いが見られたが、いずれの場合もヒステリシス特性が現れた。第 3 の電極 603、613 に電圧を印加した条件下では、いずれの場合も、第 3 の電極 603、613 を接地した場合に比してメモリウィンドウ（ヒステリシス）の幅が増大することが分かった。これは、第 3 の電極 603、613 に電圧を印加した場合、メモリ機能が向上することを意味する。これにより、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。

【0088】

図7は、図6（b）に示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する方法を示している。

【0089】

まず、図7（a）に示すように、半導体基板、例えばシリコン基板700上に、酸化のためのマスクとしてシリコン窒化膜701を堆積し、このシリコン窒化膜の所定の領域に開口701aを形成する。そして、図7（b）に示すように、通常の素子分離工程と同様に、開口701aを通してシリコン基板700の表面から酸化して、シリコン基板700の表面近傍領域（メモリ機能体を形成すべき領域）に、絶縁体としてのシリコン酸化膜712を形成する。

【0090】

次に、図7（c）に示すように、シリコン酸化膜712に対して半導体または金属のイオン注入を行って、シリコン酸化膜712中に導電性微粒子723を形成する。この例では、既述の方法と同様に、シリコン酸化膜712中に銀を負イオン注入法により導入した。この例では、さらに熱処理を行った。この熱処理は省略することも可能であるが、熱処理を行ったほうが好ましい。熱処理を行えば、導電性微粒子723の粒径の調整や分布の調整ができ、更に注入欠陥等の回復が可能だからである。このようにして、既述のメモリ機能体113と同じ構造を持つメモリ機能体715を形成する。

【0091】

次に、図7（d）に示すように、公知のMOSトランジスタのゲート電極を形成するのと同様の方法で、メモリ機能体715上に第3の電極としてのゲート電極734を形成する。ここで、シリコン窒化膜701を残したままゲート電極734を形成するのが好ましい。そうすれば、ゲート電極734とメモリ機能体715との位置関係が自己整合的に定まるので、製造ばらつきが軽減するからである。

【0092】

シリコン窒化膜701を剥離した後、図7（e）に示すように、ゲート電極734をマスクとして、半導体基板700の表面に不純物をイオン注入して、メモ

り機能体 715 を層方向（図 7 における左右方向）両側から挟むように、第 1、第 2 の電極としてのソース領域 745、ドレイン領域 746 を形成する。

【0093】

このようにして、図 6（b）に示したタイプの電極配置を持つメモリを、半導体基板 700 の表面に作製することができる。作製されたメモリは、ソース領域 745 とドレイン領域 746 との間に所定の電圧を印加した前後で、メモリ機能体 715 を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態（書込状態、消去状態）が判別される。

【0094】

図 8 は、図 6（b）に示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する別の方法を示している。

【0095】

まず、図 8（a）に示すように、シリコン基板 800 上に熱酸化によるシリコン酸化膜 802 を形成する。続いて、既述の方法と同様に、シリコン酸化膜 802 中に銀を負イオン注入法により導入して、シリコン酸化膜 802 中に導電性微粒子 803 を含む層状のメモリ機能体 815 を形成する。続いて、メモリ機能体 815 上の全域に、第 3 の電極を形成するための物質、例えばポリシリコン 804 を堆積する。

【0096】

次に、図 8（b）に示すように、公知の MOS トランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体 815 上に第 3 の電極としてのゲート電極 804（理解の容易のため、上記ポリシリコンのものと同一符号を用いる。）を形成する。

【0097】

次に、図 8（c）に示すように、酸化を行って、シリコン基板 800 の表面にシリコン酸化膜 826 を形成するとともに、ゲート電極 804 の表面にシリコン酸化膜 827 を形成する。

【0098】

次に、図 8（d）に示すように、公知の方法を用いて、メモリ機能体 815 を

層方向（図 8 における左右方向）両側から挟むように、第 1，第 2 の電極としてのポリシリコンサイドウォール 836，837 を形成する。ポリシリコンサイドウォール 836，837 は、シリコン酸化膜 826，827 によって、シリコン基板 800 とゲート電極 804 に対して電氣的に絶縁されている。

【0099】

次に、この上に図示しない層間絶縁膜を形成した後、図 8（e）に示すように、公知のコンタクト工程を実施して、ポリシリコンサイドウォール 836，837 およびゲート電極 804 の上に、それぞれコンタクト配線 848，849，850 を形成する。

【0100】

なお、メモリ機能体 815 内では、導電性微粒子 803 はシリコン酸化膜 802 の厚さ方向に関して、シリコン基板 800 に近い側に分布させるのが望ましい（図 8（a）参照）。この理由は、導電性微粒子 803 を第 3 の電極（ゲート電極）804 から離れるように形成して、第 1，第 2 の電極（ポリシリコンサイドウォール）836，837 と第 3 の電極（ゲート電極）804 との間で無用なメモリ動作が行われなくようにするためである。具体的には、導電性微粒子を形成するためのイオン注入を、注入深さがシリコン酸化膜表面より十分深くなるように実施する方法や、メモリ機能体 815 とゲート電極 804 との間に絶縁体膜を形成する方法などを用いることができる。

【0101】

図 9 は、上述のメモリ機能体が基板に対して垂直な方向に複数配置されて、3 次元的に集積化されたメモリの構造を示している。図 9（a）は層間絶縁膜を取り除いてメモリを上方から見たときの平面レイアウトを示し、図 9（b）は図 9（a）における B-B' 線矢視断面を示している。図中、メモリ機能体は 904、第 1 の電極は 902、第 2 の電極は 903、第 3 の電極は 905 で表されている。コンタクト配線 907 は、基板に対して垂直な方向に複数配置された第 2 の電極 903，903，…を電氣的に接続している。

【0102】

このメモリは、3 次元的に集積化されているので、大幅な実効占有面積の縮小

が可能であり、メモリ容量の増大が可能となる。

【0103】

なお、図9では図示を省略しているが、基板としては、例えば、ガラス基板や、シリコン基板の上層を酸化したもの等を用いることができる。従来の浮遊ゲート型のメモリでは通常のMOSトランジスタを基本にしているため、シリコン基板上に作製するのが一般的であるが、本発明によるメモリは必ずしもシリコン基板上に作製する必要はない。

【0104】

次に、図10および図11を用いて、図9に示したタイプの3次元立体構造を持つメモリの作製方法を説明する。

【0105】

図10(a)～(e)は、上記メモリの作製途中の工程断面を示している。

【0106】

まず、図10(a)に示すように、下地あるいは基板1000の上にシリコン酸化膜等の絶縁体膜1001と、シリコン膜1002を順に積層する。続いて、シリコン膜1002上に、酸化のためのマスクとしてシリコン窒化膜1003を堆積し、このシリコン窒化膜の所定の領域に開口1003aを形成する。そして、図10(b)に示すように、開口1003aを通してシリコン膜1002の表面から酸化して、シリコン膜1002の所定の領域(メモリ機能体を形成すべき領域)に、絶縁体としてのシリコン酸化膜1018を形成する。

【0107】

続いて、図示しないマスクを用いて、既述の方法と同様に、シリコン酸化膜1018中に銀を負イオン注入法により導入し、さらに熱処理を行って、メモリ機能体904を形成する。なお、シリコン膜1002のうち酸化されずに残った領域は第1の電極902および第2の電極903として用いられる。

【0108】

次に、図10(c)に示すように、この上の全域に、第3の電極を形成するための物質、例えばポリシリコンを堆積し、公知のMOSトランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体904上に第3の電極と

してのゲート電極 905 を形成する。その後、この上の全域に、層間絶縁膜 1026 を形成する。そして、この層間絶縁膜 1026 の表面を CMP（化学的機械的研磨法）などで平坦化しておく。

【0109】

この後、層間絶縁膜 1026 上の全域に、再びシリコン膜 1032 を積層する。そして、上に述べたのと同様の工程を繰り返すことによって、図 10（d）に示すように、2 層目のメモリ機能体 904、第 1 の電極 902、第 2 の電極 903 および第 3 の電極 905 を形成する。その後、この上の全域に、層間絶縁膜 1056 を形成する。そして、この層間絶縁膜 1056 の表面を CMP など で平坦化しておく。

【0110】

このようにして、所望の層数まで多層化した後、図 10（e）に示すように、第 2 の電極 903，903，…を基板 1000 に対して垂直な方向に接続するようにコンタクト配線 907 を形成する。

【0111】

図 11（a）～（f）は、作製途中の上記メモリを上から見たときの平面レイアウトを示している。

【0112】

図 11（a）に示すように、シリコン膜 1002 は基板上の全域に形成される。

【0113】

次に、図 11（b）に示すように、シリコン膜 1102 は、第 1 の電極 902、第 2 の電極 903 となる部分を残して部分的に酸化されて、シリコン酸化膜 1018 が形成される。第 1 の電極 902 は図 11（b）において縦方向にライン状に延びている。一方、第 2 の電極 903 は矩形のパターンを持ち、シリコン酸化膜 1018 中に個々に孤立している。シリコン酸化膜 1018 は素子分離の役割も果たす。第 2 の電極 903 は、隣り合う第 1 の電極 902，902 間の中央に、縦方向に沿って複数配置されている。

【0114】

次に、図 11 (c) に示すように、メモリ機能体 904 は、シリコン酸化膜 1018 内で第 1 の電極 902 と第 2 の電極 903 との間に挟まれた矩形領域にそれぞれ形成される。このときの断面図が図 10 (b) に相当する。

【0115】

次に、図 11 (d) に示すように、第 3 の電極としてのゲート電極 905 が、縦方向に並ぶ複数のメモリ機能体 904 上を通るように、縦方向に延びるライン状に形成される。

【0116】

次に、図 11 (e) に示すように、この上の全域に層間絶縁膜 1026 が形成される。このときの断面図が図 10 (c) , 図 10 (d) に相当する。

【0117】

その後、図 11 (f) に示すように、コンタクト配線 907 が第 2 の電極 903 を貫通する位置に形成される。このときの断面図が図 10 (e) に相当する。

【0118】

また、この例では、第 1 の電極 902 と第 3 の電極 905 とが配線としていずれも縦方向に延びて平行になっているが、これに限られるものではない。通常、集積回路の作製におけるのと同様に配線を多層にすれば、第 1 の電極 902 のための配線と、第 2 の電極 903 のための配線 907 と、第 3 の電極 905 のための配線とが互いに交差するように形成することが可能である。

【0119】

例えば図 12 (a) は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に垂直になっているメモリの構造を示している。図 12 (b) , (c) , (d) はそれぞれ図 12 (a) のメモリを B 方向、C 方向、D 方向から見たところを示している。

【0120】

このメモリでは、メモリ機能体 1204 に対して、第 1 の電極 1209、第 2 の電極 1202、第 3 の電極 1205 が図 12 (a) においてそれぞれ左方向、右方向、上方向から接している。第 1 の電極 1209 には、コンタクト 1219 を介して、図 12 (a) において奥手前方向に延びる第 1 の配線 1229 が電気

的に接続されている。第2の電極1202には、図12(a)において上下方向に延びる第2の配線1207と電氣的に接続されている。第3の電極1205には、コンタクト1215を介して、図12(a)において左右方向に延びる第3の配線1225が電氣的に接続されている。

【0121】

このように第1、第2、第3の電極につながる配線を互いに実質的に垂直に配置すれば、さらに大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0122】

図13(a)は一実施形態の半導体装置2600の概略平面レイアウトを示している。

【0123】

この半導体装置2600は、上述のメモリ(メモリセル)を有するメモリ回路2601と、ロジック回路を有する周辺回路2602と、上記メモリ回路および周辺回路以外の機能を有する機能回路2603とを、同一の半導体基板上に集積化された態様で備えている。

【0124】

図13(b)は、比較のため、従来の半導体装置2610の概略平面レイアウトを示している。メモリ回路2611には、従来のフローティングゲートを有するフラッシュメモリが集積されている。この従来の半導体装置2610は、上記フラッシュメモリの駆動電圧がロジック回路の駆動電圧よりも高いので、周辺回路2612に昇圧回路や制御回路などが必要になり、また、メモリ回路の高い駆動電圧に耐えるように、周辺回路のトランジスタのゲート酸化膜を厚くする必要があって、周辺回路2612の占有面積が大きくなっていた。したがって、半導体装置の小型化が困難であった。また、メモリ回路2611および周辺回路2612の占有面積が大きいため、他の機能のための機能回路2513の占有面積の割合が小さく制限されていた。

【0125】

これに対して、この実施形態の半導体装置2600では、本発明によるメモリ

セルを有するメモリ回路 2601 が低電圧で動作可能であるので、周辺回路 2602 と同じ電源電圧で動作可能である。したがって、メモリ回路 2601 と周辺回路 2602 との間で電源を共有でき、従来の昇圧回路や制御回路が削除できる。この結果、周辺回路 2602 の占有面積を小さくできる。また、メモリ回路 2601 の駆動電圧が低いので、周辺回路 2602 が含むトランジスタのゲート酸化膜を薄くでき、周辺回路 2602 の占有面積を小さくできる。さらに、メモリ回路 2601 は高集積化できるので、メモリ回路 2601 の占有面積を小さくできる。これらの結果、この半導体装置 2601 は、従来の半導体装置 2610 よりも小型にできる。また、メモリ回路および周辺回路以外の機能回路 2603 のための占有面積を広げることができるので、従来よりも高機能の半導体装置を構成できる。

【0126】

あるいは、この半導体装置 2600 に従来の半導体装置 2610 と同じ占有面積を許せば、従来よりも多くのメモリセルを集積して、半導体装置の記憶容量を増大できる。これによって、大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能となり、かつ、そのプログラムを他のプログラムと入れ替えることもできる。

【0127】

図 14 は、本発明による電子機器の一例として、上述の半導体装置を備えた携帯電話機 2700 の構成を模式的に示している。

【0128】

この携帯電話機 2700 は、本体 2710 に、アンテナ部 2715 と、RF 回路部 2713 と、表示部 2714 と、半導体装置としての制御回路 2711 と、これらの各構成要素に電力を供給するための電池 2712 とを搭載している。2716 は信号線、2717 は電源線である。

【0129】

制御回路 2711 は、本発明のメモリを有するメモリ回路とロジック回路とを混載した LSI (大規模集積回路) であり、RF 回路部 2713 と表示部 271

4を制御している。制御回路2711は、本発明による半導体装置が組み込まれているので、この携帯電話機を高機能化でき、また、消費電力を低減して、電池寿命を大幅に延長することができる。

【0130】

なお、本実施形態では、電子機器の一例として携帯電話機を構成したが、携帯情報端末やゲーム機器など他の電子機器を構成しても同様の効果を発揮することが可能である。

【0131】

なお、上述の実施形態では、絶縁体101の材料としてシリコン酸化物を挙げたが、シリコン窒化物、酸化アルミニウム、酸化チタン等の絶縁体であれば用いることができる。ただし、微粒子の大きさにもよるが、絶縁体101があまりに高誘電率材料であると、容量が増大して動作速度に影響を与える。このため、絶縁体101の材料としては、比誘電率が10以下、好ましくは4以下の低誘電率を有するものが好ましい。

【0132】

また、微粒子102を構成する材料として銀を挙げたが、微粒子102を構成する材料としては、金、銀、銅、アルミニウム、錫、ニッケル、白金、亜鉛、ハフニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入工程が容易であるので好ましい。

【0133】

また、第2の電極112としてシリコン基板を用いたが、シリコン以外の半導体または金属材料からなる基板を用いても良い。また、ガラス基板などの絶縁体材料からなる基板上に、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などによって導電層を形成し、その導電層を第2の電極として用いても良い。

【0134】

シリコン膜の形成はエピタキシャル成長やポリシリコン堆積、CGS（連続粒界シリコン）などを用いることができる。ただし、比較的低温での形成が可能なポリシリコンやCGSを用いるのが好ましい。より好ましくは結晶性のよいCGSを用いた方が、整流性能が向上し信頼性に優れる。CGSは特開平8-78329号公報などに記載の作製方法によって低温で作製可能なシリコンであり、他の低温で作成可能なアモルファスシリコンやCGS以外の低温ポリシリコンなどに比べて結晶性が良く高移動度が得られるなどの利点を有する。

【0135】

【発明の効果】

以上より明らかなように、本発明のメモリによれば、メモリ機能体を通して流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、実用性のあるメモリが提供される。

【0136】

また、この発明のメモリの製造方法によれば、そのようなメモリを生産性良く作製できる。

【0137】

また、この発明のメモリを含む半導体装置は、高集積化、低消費電力化が可能になる。

【0138】

また、そのような半導体装置を備えた電子機器は、小型化、低消費電力化が可能になり、携帯の用途に適する。

【図面の簡単な説明】

【図1】 図1（a）は、本発明の基礎となるメモリを構成するメモリ機能体の断面を模式的に示す図、図1（b）は上記メモリの概略断面を示す図、図1（c）は上記メモリ機能体の単位領域の構造を拡大して模式的に示す図である。

【図2】 上記メモリの電流対電圧（I-V）特性を測定した結果を示す図である。

【図3】 上記メモリの作製工程を説明するための図である。

【図4】 上記メモリの別の態様を示す図である。

【図 5】 図 4 のメモリのメモリ動作を説明するための図である。

【図 6】 図 6 (a) は本発明の一実施形態のメモリの概略断面を示す図であり、図 6 (b) は図 6 (a) のものと電極の配置が異なる例を示す図である。

【図 7】 図 6 (b) のタイプの電極配置を持つメモリの作製方法を説明するための図である。

【図 8】 図 6 (b) のタイプの電極配置を持つメモリの別の作製方法を説明するための図である。

【図 9】 図 9 (a) は 3 次元的に集積化されたメモリの平面レイアウトを示す図であり、図 9 (b) は図 9 (a) における B-B' 線矢視断面図である。

【図 10】 図 9 のメモリの作製工程における断面を示す図である。

【図 11】 図 9 のメモリの作製工程における平面レイアウトを示す図である。

【図 12】 図 12 (a) は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に垂直になっているメモリの構造を示す図であり、図 12 (b), (c), (d) はそれぞれ図 12 (a) のメモリを B 方向、C 方向、D 方向から見たところを示す図である。

【図 13】 図 13 (a) はこの発明の一実施形態の半導体装置の平面レイアウトを示す図であり、図 13 (b) は従来の半導体装置の平面レイアウトを示す図である。

【図 14】 この発明の電子機器の一例としての携帯電話機を示す図である。

【図 15】 従来のメモリ素子を示す図である。

【符号の説明】

101 絶縁体 (シリコン酸化膜)

102 導電性微粒子 (銀微粒子)

111, 411, 601, 611, 902, 1209 第 1 の電極

112, 602, 612, 903, 1202 第 2 の電極

113, 715, 815, 904, 1024 メモリ機能体

114 単位領域

1 2 1 第 1 の微粒子

1 2 2 第 2 の微粒子

1 2 3 第 3 の微粒子

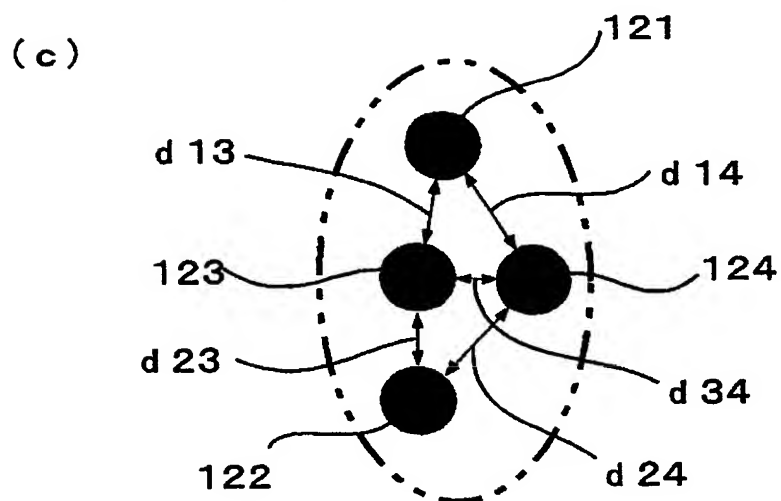
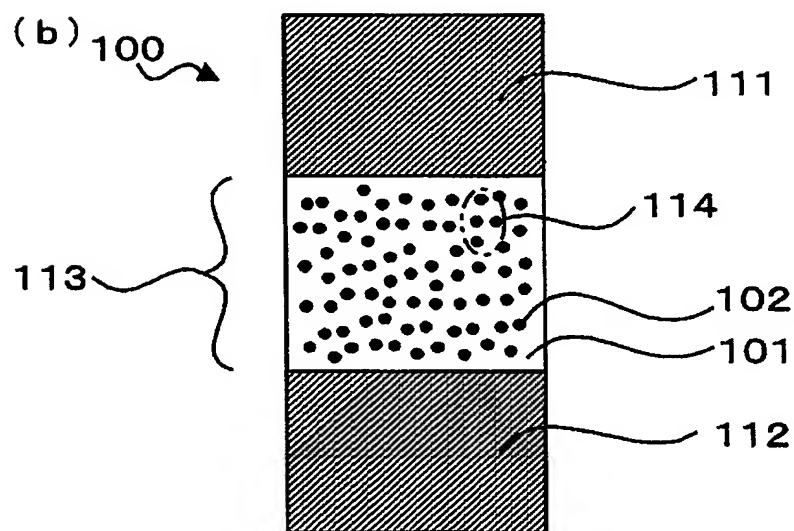
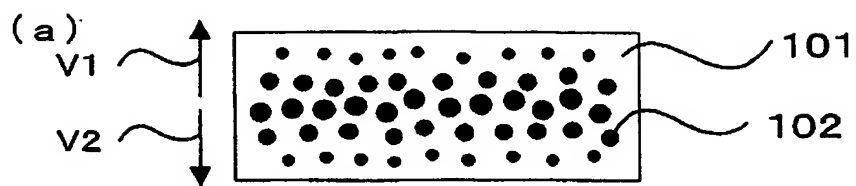
1 2 4 第 4 の微粒子

3 0 0 , 7 0 0 , 8 0 0 , 1 0 0 0 基板

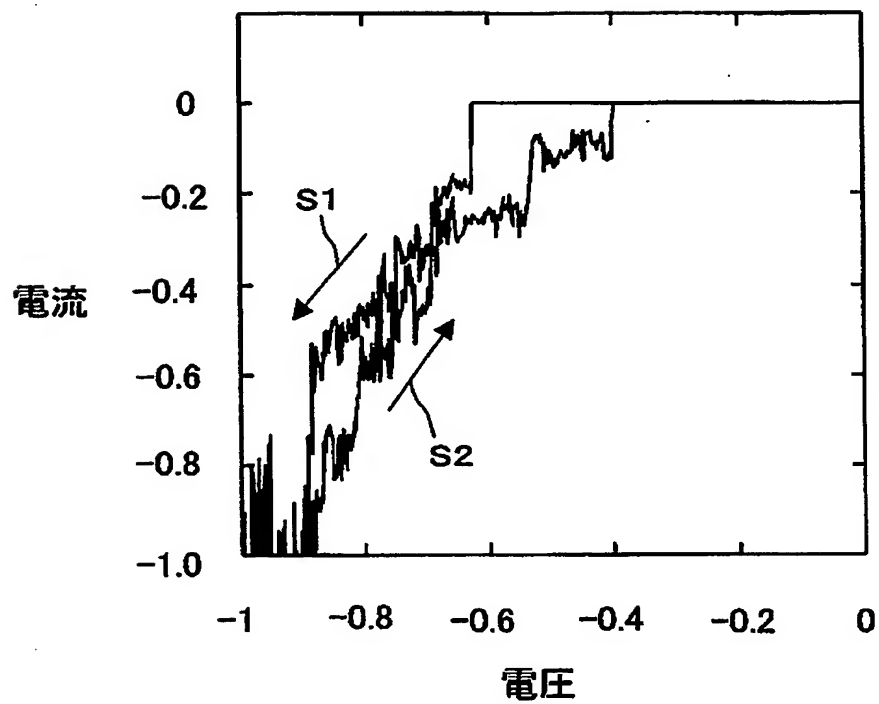
6 0 3 , 6 1 3 , 9 0 5 , 1 2 0 5 第 3 の電極

【書類名】 図面

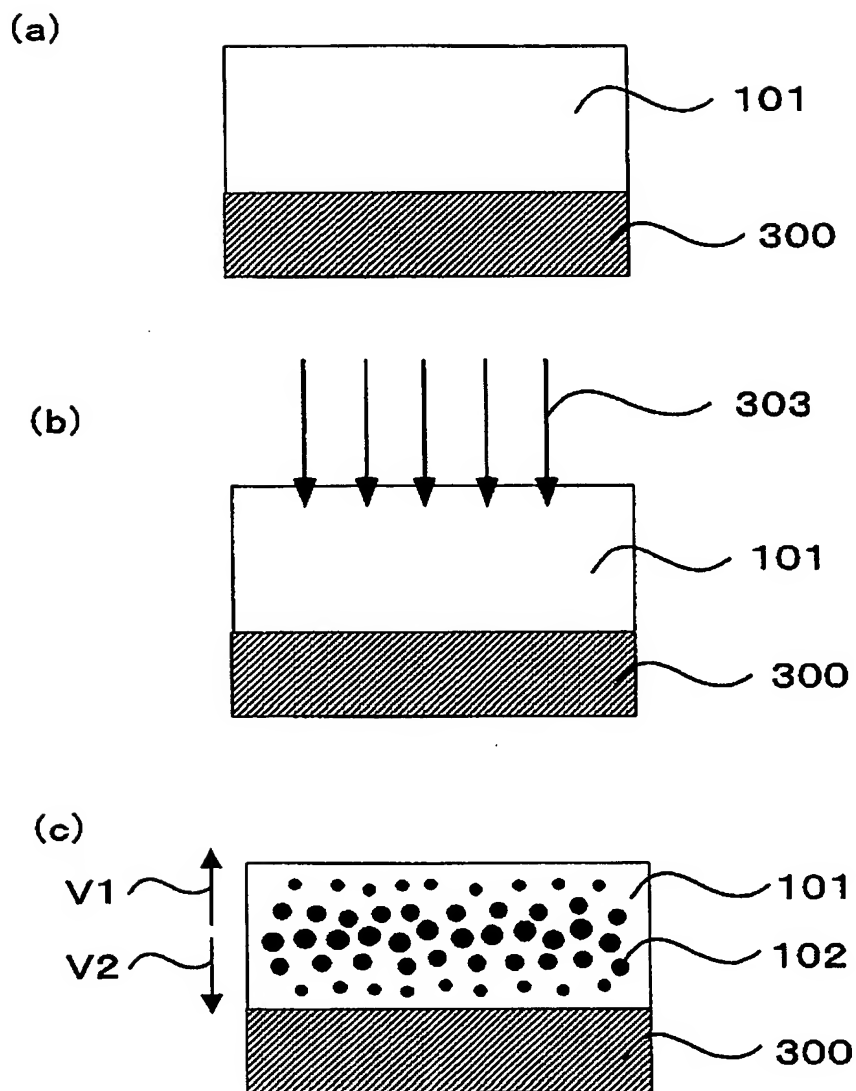
【図 1】



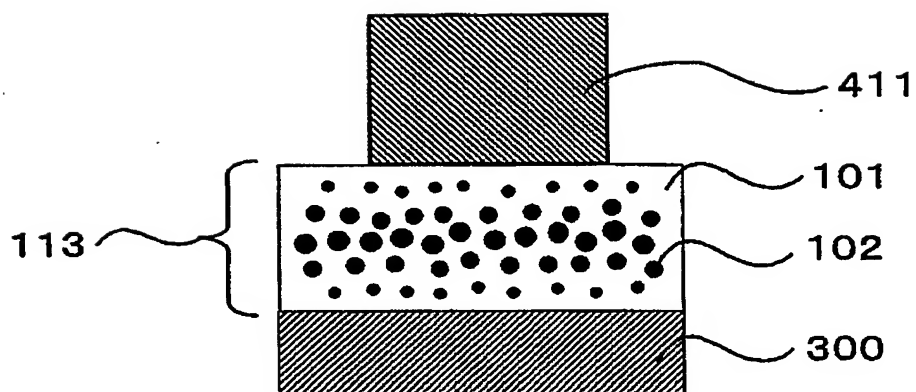
【図 2】



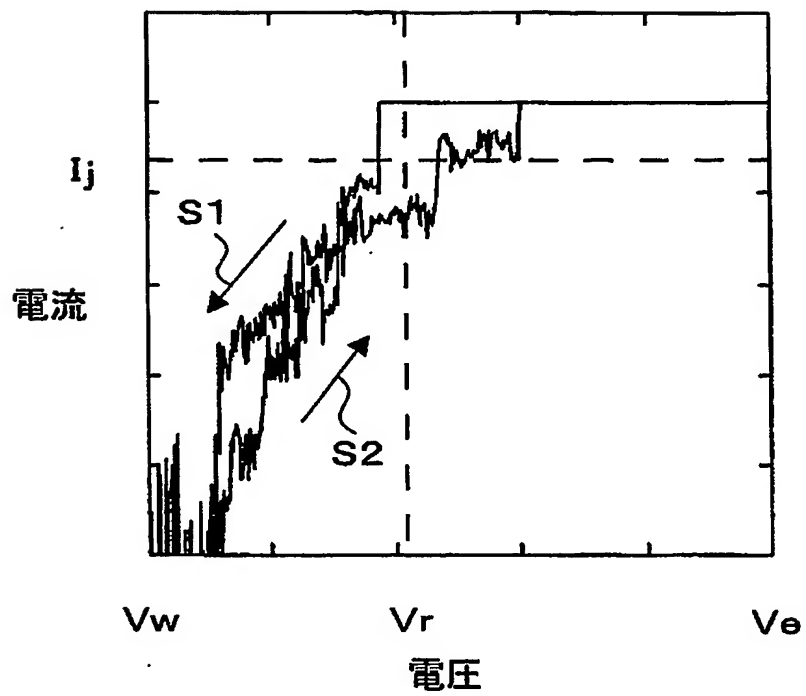
【図 3】



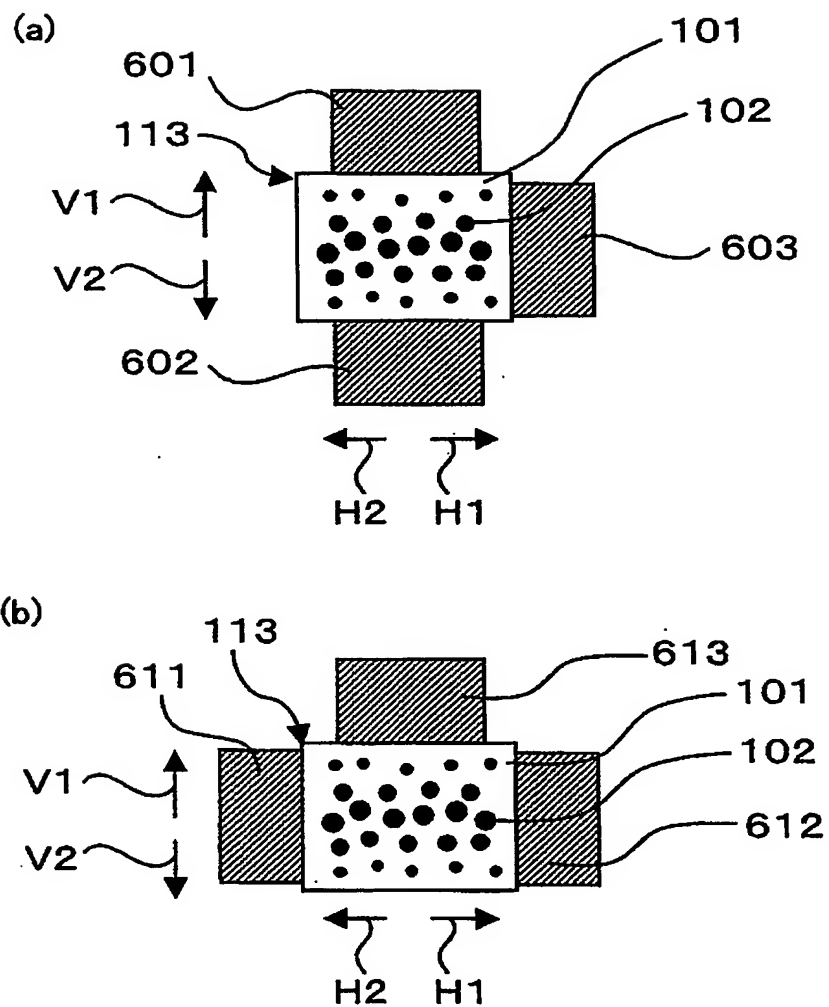
【図 4】



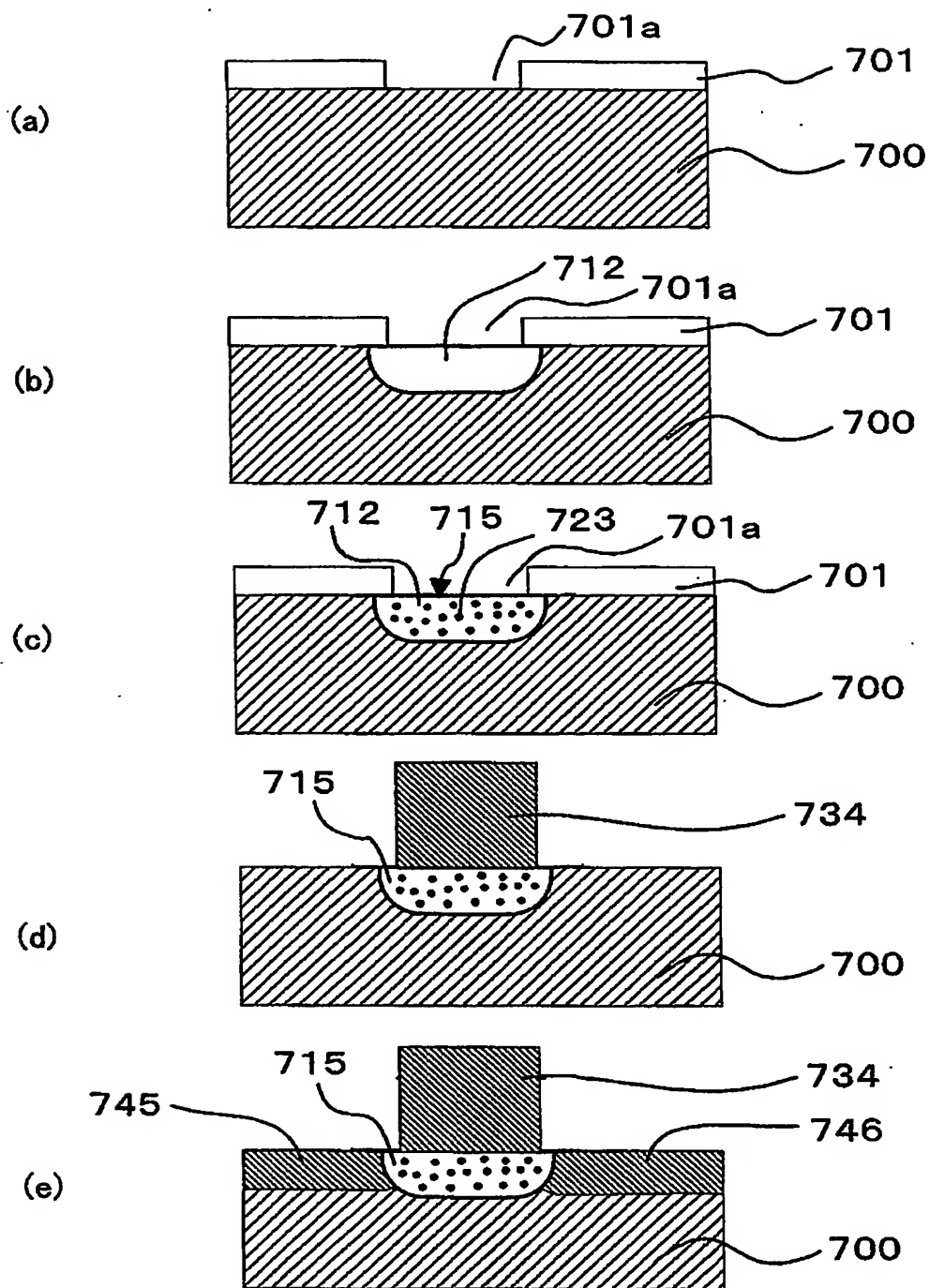
【図 5】



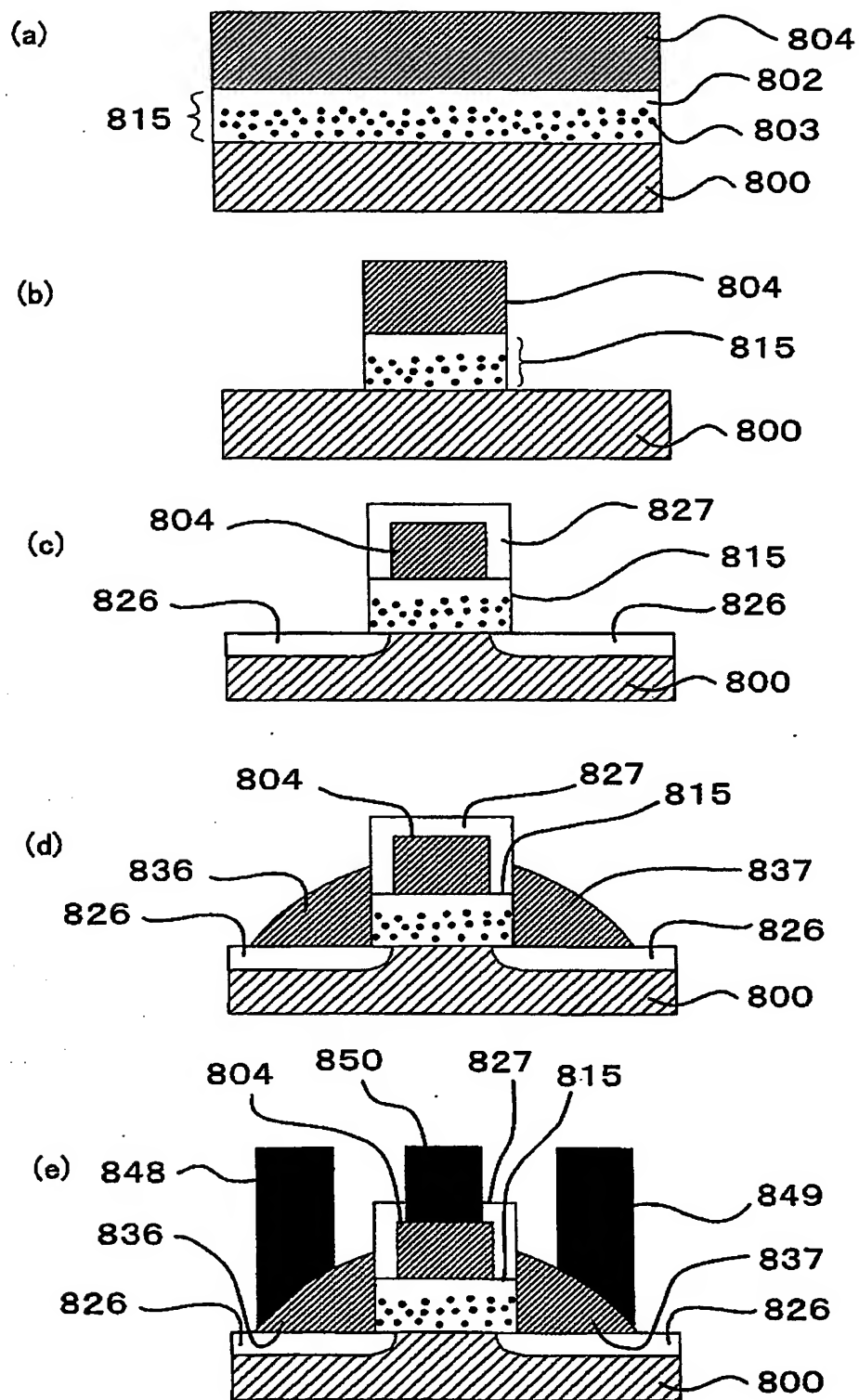
【図 6】



【図 7】

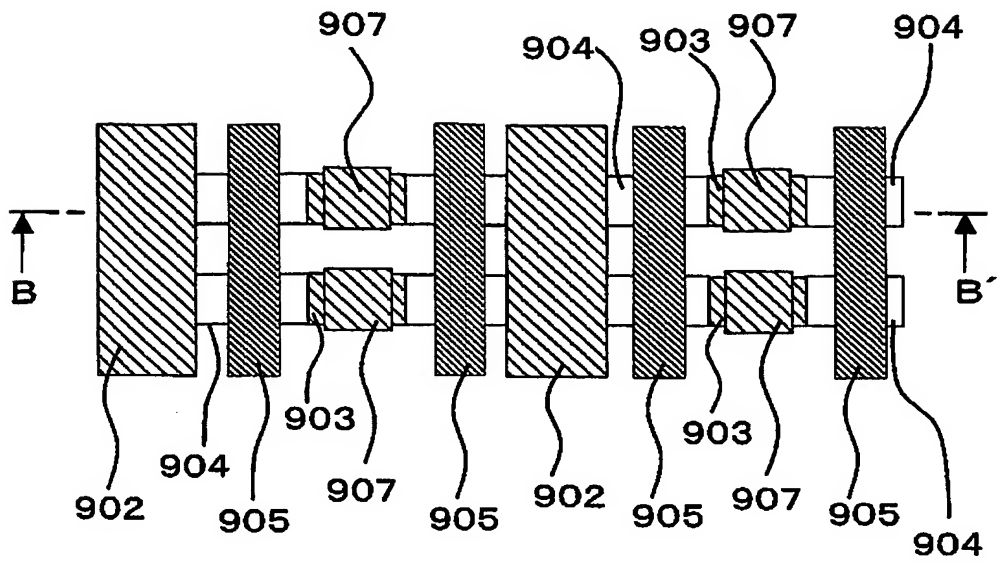


【図 8】

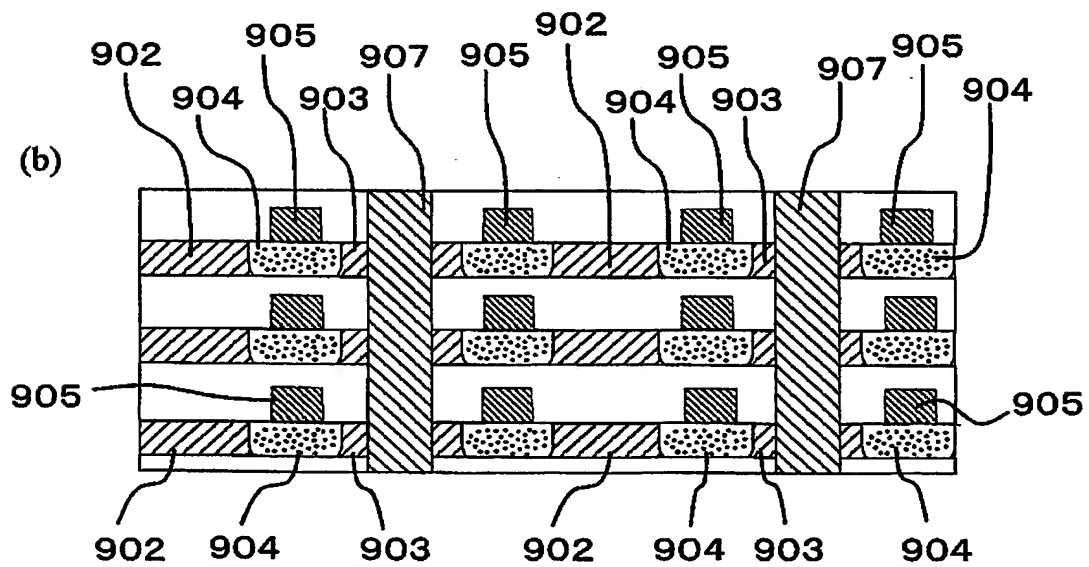


【図 9】

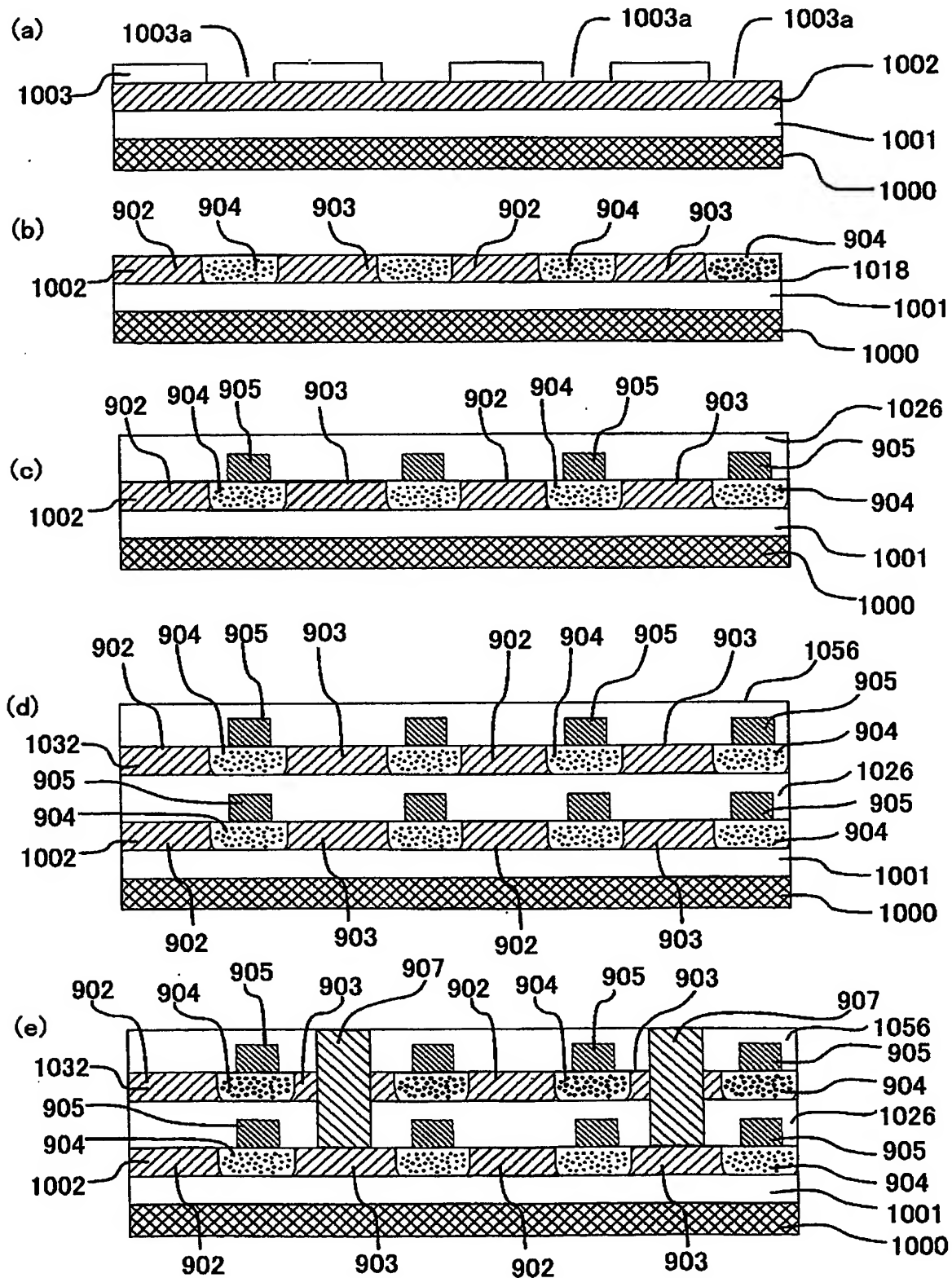
(a)



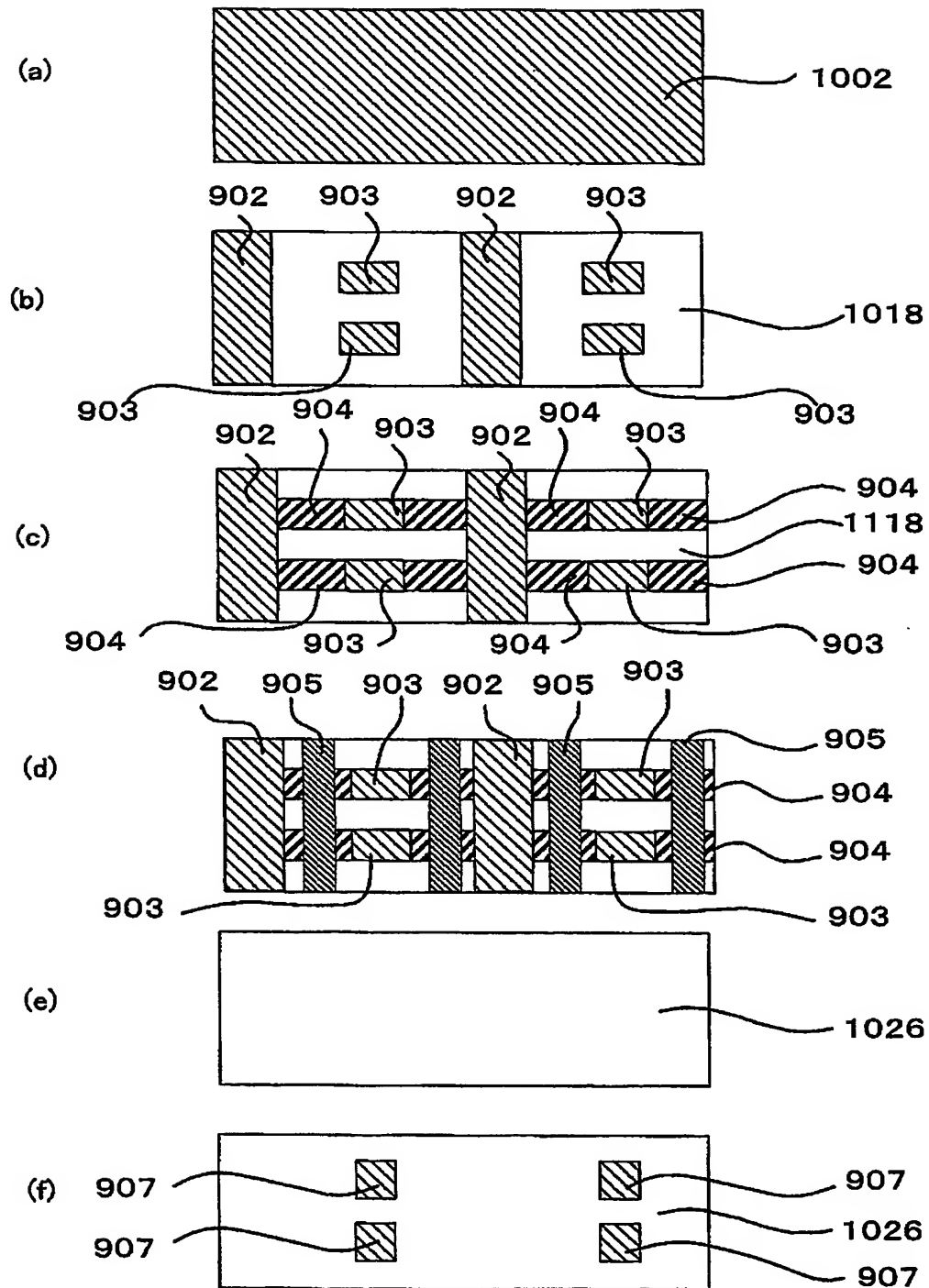
(b)



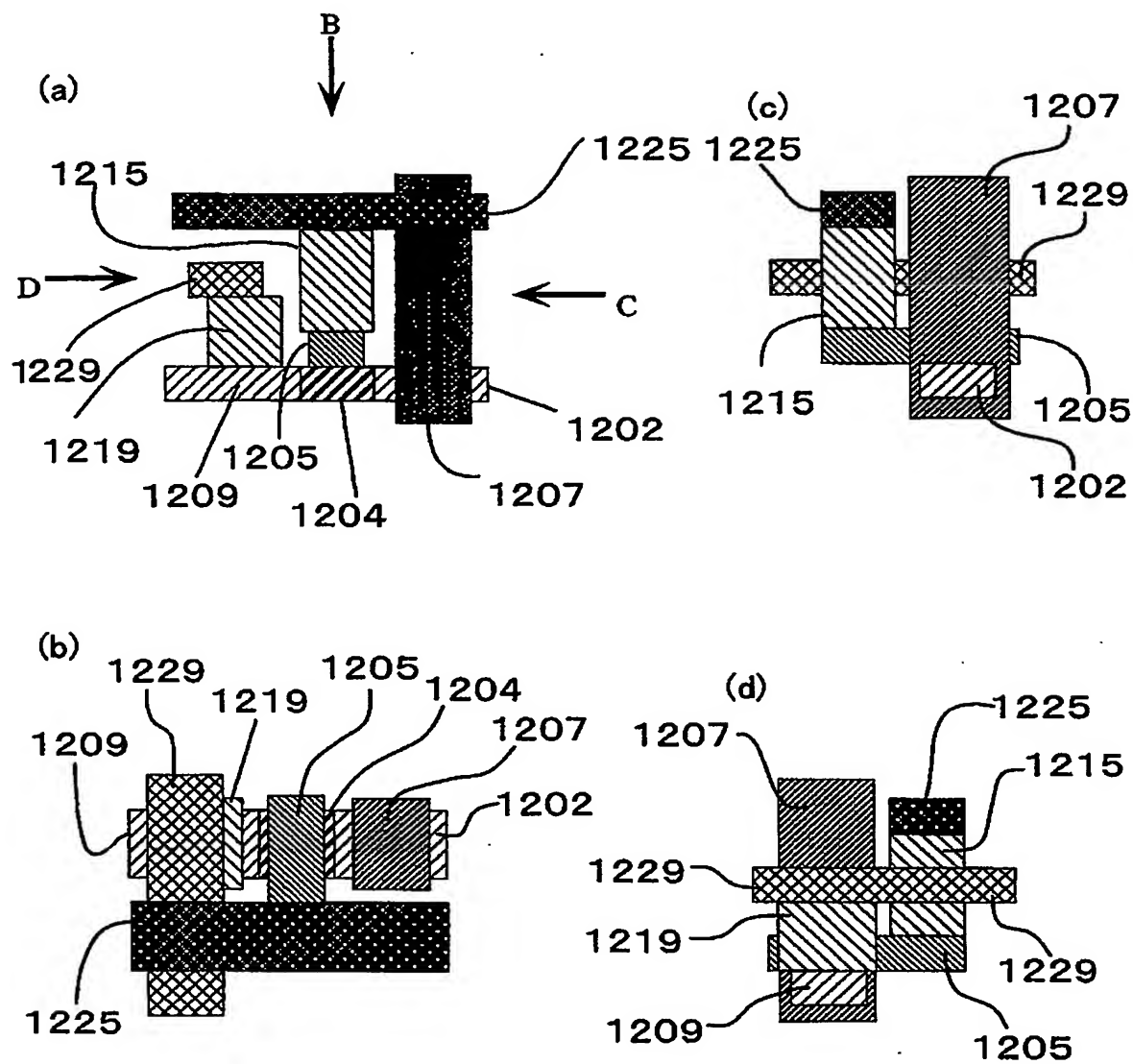
【図10】



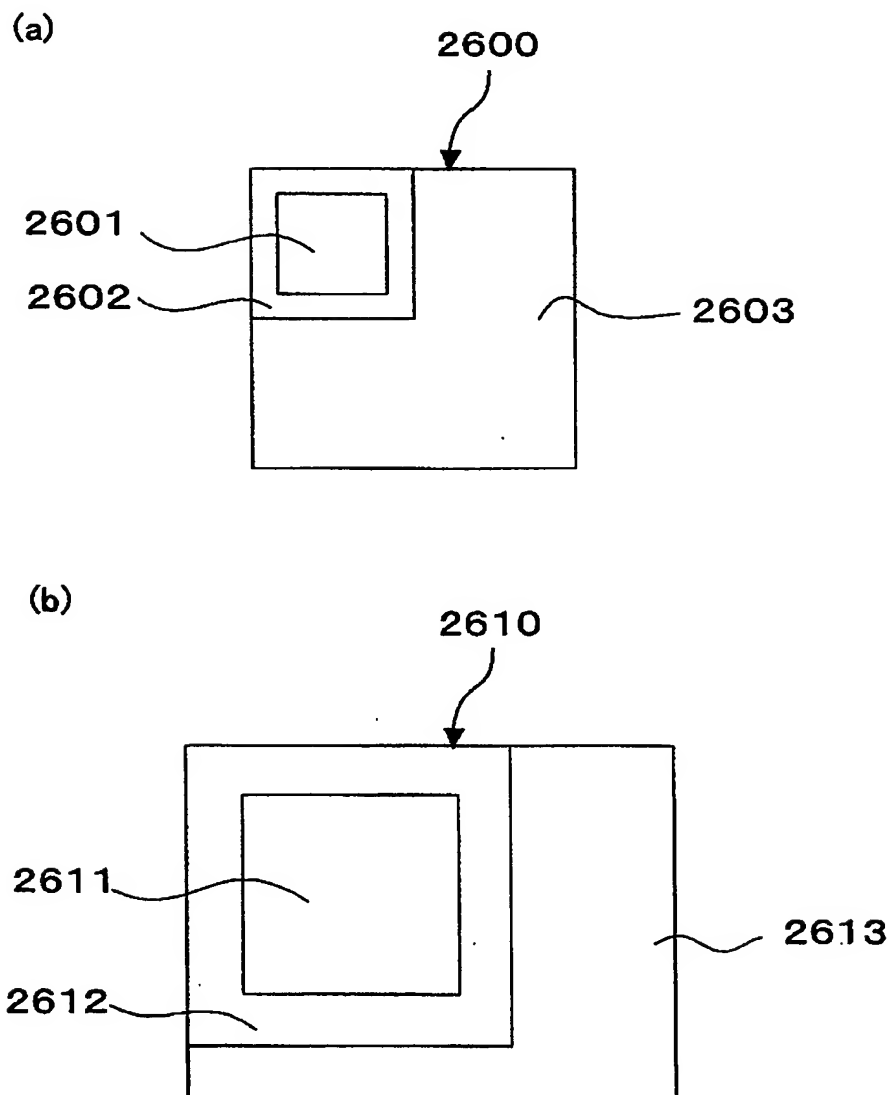
【図 11】

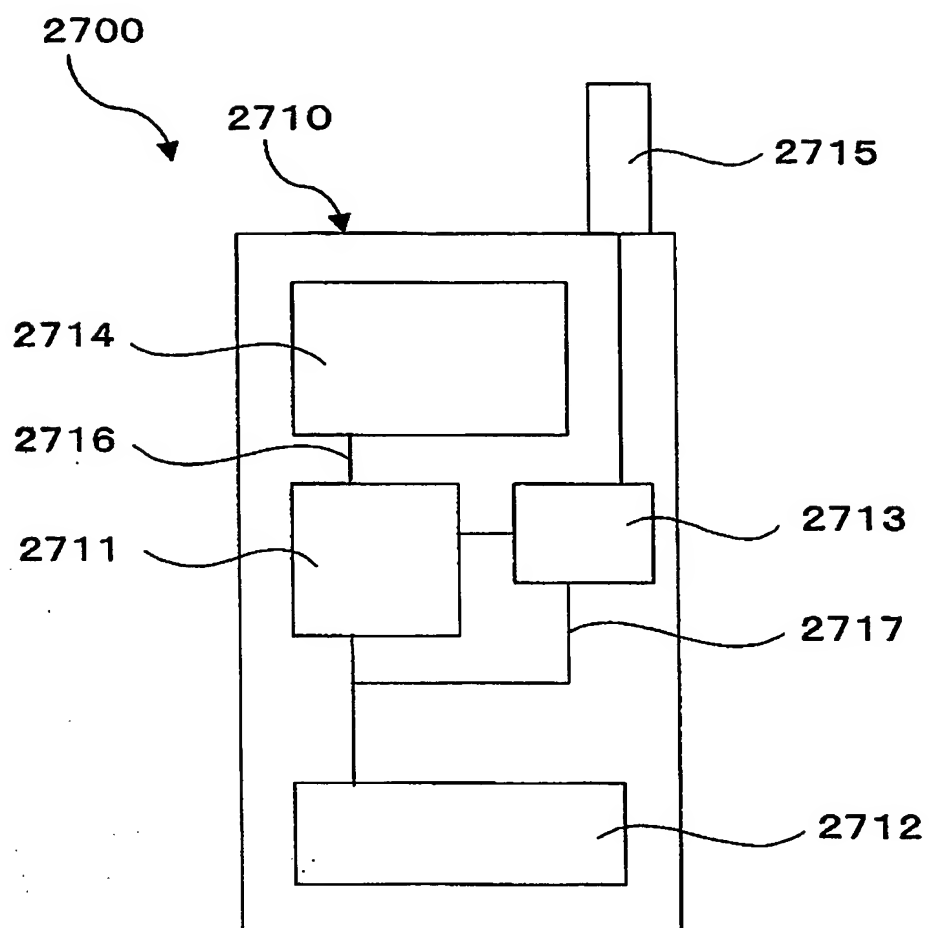


【図 12】

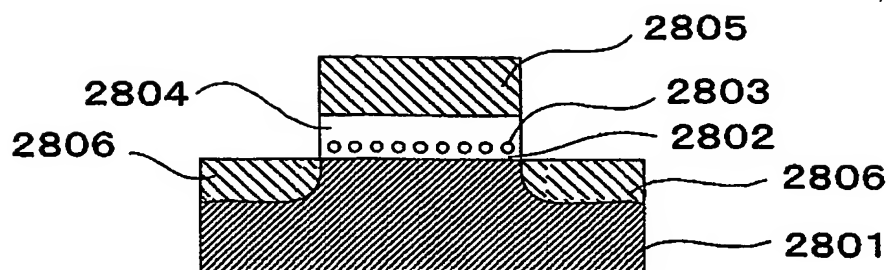


【図 13】





【図 15】



【書類名】 要約書

【要約】

【課題】 絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリであって実用性があるものを提供すること。

【解決手段】 第1の電極611と第2の電極612との間に、絶縁体101中に複数の導電性微粒子102を含むメモリ機能体113が挟まれている。第1の電極611と第2の電極612との間に所定の電圧を印加した前後で、メモリ機能体113を通して流れる電流の大小がクーロンブロッケイド効果によって変化して、その電流の大小に応じて記憶状態が判別されるように、絶縁体101中に導電性微粒子102が分布している。メモリ機能体113に対して、第1の電極611と第2の電極612とが対向する方向に垂直な方向H1から電圧を印加し得る第3の電極613が隣接している。

【選択図】 図6

特願 2002-273384

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社